

整理番号 SNK-99

発送番号 272751

発送日 平成 17 年 7 月 26 日

## 拒絶理由通知書

特許出願の番号	特願 2001-128187
起案日	平成 17 年 7 月 22 日
特許庁審査官	棚田 一也 3642 4L00
特許出願人代理人	三好 秀和 (外 6 名) 様
適用条文	第 29 条第 2 項、第 36 条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から 60 日以内に意見書を提出して下さい。

### 理 由

#### 理由 1

この出願は、発明の詳細な説明の記載が以下の点で、特許法第 36 条第 4 項に規定する要件を満たしていない。

(1) 発明の詳細な説明には、特許請求の範囲に係る発明の半導体装置の構成に関して、

「半導体基板上に形成された第 2 導電型の第 2 埋込領域からなる第 3 主電極領域、第 2 埋込領域の上部に形成された第 2 導電型のドリフト領域、ドリフト領域内に形成された第 1 導電型の第 2 ベース領域、第 2 ベース領域内に形成された第 2 導電型の第 4 主電極領域とを有する第 2 のトランジスタとを更に具備することが可能である。「第 3 主電極領域」とは、BJT のエミッタ領域又はコレクタ領域のいずれか一方の半導体領域を意味する。「第 4 主電極領域」とは、上記第 3 主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方の半導体領域を意味する。」

と記載されている (【0011】参照)。該記載によれば、「第 3 主電極領域」

及び「第4主電極領域」はそれぞれ「エミッタ領域」及び「コレクタ領域」又は「コレクタ領域」及び「エミッタ領域」を構成し得ると認められる。

発明の詳細な説明には、【0021】段落において、「第3主電極領域」がコレクタ領域で「第4主電極領域」がエミッタ領域となる縦型npnトランジスタの構成は記載されているが、「第3主電極領域」がエミッタ領域で「第4主電極領域」がコレクタ領域となる場合にベース領域とエミッタ領域に存在する「ドリフト領域」がその技術的意味を持って形成できることについては記載されていない。

(2) 発明の詳細な説明には、請求項3の記載において「勾配ベース領域」がどのようなプロファイルを持つ領域か定義されていない。また、請求項3の記載において「第1主電極領域」及び「第2主電極領域」の機能は特定されておらず、発明の詳細な説明には、

「「第1主電極領域」とは、バイポーラトランジスタのエミッタ領域又はコレクタ領域のいずれか一方の半導体領域を意味する。「第2主電極領域」とは、上記第1主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方の半導体領域を意味する。」

と記載されている(【0009】参照)。該記載によれば、「第1主電極領域」及び「第2主電極領域」はそれぞれ「エミッタ領域」及び「コレクタ領域」又は「コレクタ領域」及び「エミッタ領域」を構成し得ると認められる。

そして、発明の詳細な説明には、「第1主電極領域」が「エミッタ領域」を、「第2主電極領域」が「コレクタ領域」を構成する半導体装置の製造方法において、「勾配ベース領域5と第1エミッタ領域6は、第1エミッタ領域6と勾配ベース領域5とを同一の拡散マスクを使用して…形成する」方法は記載されている(【0030】参照)が、「第1主電極領域」が「コレクタ領域」を、「第2主電極領域」が「エミッタ領域」を構成する半導体装置の製造方法において、「勾配ベース領域」のプロファイルを「エミッタ領域」から「コレクタ領域」に向かって徐々に低下する勾配を持たせる製造方法については記載されていない。

したがって、発明の詳細な説明には、当業者が特許請求の範囲に係る発明を実施することができる程度に明確かつ十分に記載されていない。

(理由1に記載された拒絶理由を解消しただけでは理由4に記載された拒絶理由が解消するとは限らない点を留意されたい。)

理由2

この出願は、特許請求の範囲の記載が以下の点で、特許法第36条第6項第1号の規定を満たしていない。

(1) 請求項1の記載において「第1主電極領域」及び「第2主電極領域」の機能は特定されておらず、一方発明の詳細な説明の【0009】段落には、「第1主電極領域」及び「第2主電極領域」について上記理由1(2)で示した定義がされている。

してみると、同請求項に係る発明の構成には「第1主電極領域」及び「第2主電極領域」が、それぞれ「コレクタ領域」及び「エミッタ領域」である構成が含まれるものと認められる。

しかし、【0019】段落には「第1主電極領域」が「エミッタ領域」を、「第2主電極領域」が「コレクタ領域」を構成する半導体装置は記載されているが、「第1主電極領域」が「コレクタ領域」を「第2主電極領域」が「エミッタ領域」を構成する半導体装置は記載されていない。また、発明の詳細な説明の他の記載、及び出願時の技術常識を参酌しても、「第1主電極領域」が「コレクタ領域」を、「第2主電極領域」が「エミッタ領域」を構成する場合において、「勾配ベース領域」により【0010】段落に記載された最適なドリフト電界が得られるかが不明である。

したがって、請求項1は、発明の詳細な説明に発明として記載していない範囲まで特許請求しようとするものである。

(2) 請求項3の記載において、勾配ベース領域内に第1導電型の第1主電極領域を形成する方法は特定されておらず任意であるが、発明の詳細な説明には勾配ベース領域を形成する際に用いた拡散窓と同一の拡散窓を用いて第1導電型の第1主電極領域を形成する方法のみが記載されているだけである。

したがって、請求項3は、発明の詳細な説明に発明として記載していない範囲まで特許請求しようとするものである。

(3) 請求項3の記載において「第1主電極領域」及び「第2主電極領域」の機能は特定されておらず、また、発明の詳細な説明の【0009】段落には、「第1主電極領域」及び「第2主電極領域」について、上記理由1(2)で示した定義がされている。

してみると、同請求項に係る発明の構成には「第1主電極領域」及び「第2主電極領域」が、それぞれ「コレクタ領域」及び「エミッタ領域」である構成が含まれるものと認められる。

しかし、発明の詳細な説明の【0023】乃至【0031】段落には、「第1

主電極領域」が「エミッタ領域」を、「第2主電極領域」が「コレクタ領域」を構成する半導体装置の製造方法は記載されているが、「第1主電極領域」が「コレクタ領域」を、「第2主電極領域」が「エミッタ領域」を構成する場合の半導体装置の製造方法は記載されていない。また、発明の詳細な説明及び出願時の技術常識を参酌しても「第1主電極領域」が「コレクタ領域」を、「第2主電極領域」が「エミッタ領域」を構成する場合において、「勾配ベース領域」が技術的意味を持って構成される程度に記載されていない。

したがって、請求項3は、発明の詳細な説明に発明として記載していない範囲まで特許請求しようとするものである。

(4) 請求項4の記載において、「第3主電極領域」は他の構成要素との関係及びその機能が特定されておらず任意のものであるが、発明の詳細な説明には、縦型のバイポーラトランジスタのコレクタ領域として形成する製造方法しか記載されていない。

したがって、請求項4は、発明の詳細な説明に発明として記載していない範囲まで特許請求しようとするものである。

よって、請求項1及び同項を引用した請求項2に係る発明、請求項3及び同項を引用した請求項4乃至請求項6に係る発明は発明の詳細な説明に記載したものではない。

(理由2に記載された拒絶理由を解消しただけでは理由4に記載された拒絶理由が解消するとは限らない点を留意されたい。)

### 理由3

この出願は、特許請求の範囲の記載が以下の点で、特許法第36条第6項第2号の規定を満たしていない。

(1) 請求項1には「一様ベース領域内に形成された前記第1導電型の第1及び第2主電極領域」と記載されていることから、第1主電極領域は一様ベース内に形成されていると認められるが、請求項1には「第1主電極領域内の底部及び側面を包囲する…第2導電型の勾配ベース領域」とも記載されており、第1主電極領域は一様ベース内に形成されているのか勾配ベース内に形成されているのか不明確である。

(2) 請求項2には「半導体基板上に形成された前記第2導電型の第2埋込領域

からなる第3主電極領域と、前記第2埋込領域の上部に形成された前記第2導電型のドリフト領域と、該ドリフト領域内に形成された前記第1導電型の第2ベース領域と、前記第2ベース領域内に形成された前記第2導電型の第4主電極領域とを有する第2のトランジスタ」と記載されている。また、発明の詳細な説明の【0011】段落には、「第3主電極領域」及び「第4主電極領域」について上記理由1(1)で示した定義がされている。

しかし、「第3主電極領域」が「エミッタ領域」で「第4主電極領域」が「コレクタ領域」となる構成において、「ドリフト領域」がどのような機能を奏するのか不明確である。

(3) 請求項3に記載の「勾配ベース領域」とは、何がどのような勾配を持ったベース領域であるのか不明確である。

(4) 請求項4に係る発明は、請求項3に係る発明を引用している。請求項3には横型トランジスタの製造方法の発明が記載されているが、請求項4に記載の「埋込領域」は、請求項3に係る発明の製造方法で製造された横型トランジスタの一部であるのか別の機能を奏するためのものであるのか不明確である。

よって、請求項1乃至請求項4及び請求項3を引用する請求項5乃至請求項6に係る発明は明確でない。

(理由3に記載された拒絶理由を解消しただけでは理由4に記載された拒絶理由が解消するとは限らない点を留意されたい。)

#### 理由4

##### 1. 本願発明

請求項1の記載において、「第1主電極領域」と「勾配ベース領域」との位置関係が不明であるが、図1乃至図2に図示されているように、「第1主電極領域」は一様ベース内には形成せずに勾配ベース内に底部及び側面を包囲された状態で形成されていると認める。その他の点については、特許請求の範囲に記載されたとおりのものと認める。

本願の請求項1乃至請求項6に係る発明は、よって次のとおりのものと認められる。

【請求項1】第1導電型の半導体基板と、  
前記半導体基板上に形成された第2導電型の第1埋込領域と、  
該第1埋込領域の上部に形成された前記第2導電型の一様ベース領域と、

該一様ベース領域の表面から前記埋込領域に到達するように形成された第2導電型の第1プラグと、

前記一様ベース領域内に形成された前記第1導電型の第2主電極領域と、

前記第1導電型の第1主電極領域と、

前記一様ベース領域内に前記第1主電極領域の底部及び側面を包囲するように形成され不純物密度が前記第1主電極領域から前記第2主電極領域に向かって低下するプロファイルを有する前記第2導電型の勾配ベース領域とを有する第1のトランジスタを具備し、前記一様ベース領域と前記勾配ベース領域とで前記第1のトランジスタの第1ベース領域を構成することを特徴とする半導体装置。

【請求項2】前記半導体基板上に形成された前記第2導電型の第2埋込領域からなる第3主電極領域と、

前記第2埋込領域の上部に形成された前記第2導電型のドリフト領域と、

該ドリフト領域内に形成された前記第1導電型の第2ベース領域と、

前記第2ベース領域内に形成された前記第2導電型の第4主電極領域とを有する第2のトランジスタとを更に具備することを特徴とする請求項1記載の半導体装置。

【請求項3】第1導電型の半導体基板上に第2導電型の第1拡散領域を形成する工程と、

該第1拡散領域の上部に前記第2導電型のエピタキシャル成長層を形成し前記第1拡散領域を第1埋込領域とする工程と、

前記第1埋込領域に到達するように前記エピタキシャル成長層の表面から前記第2導電型の第1プラグを形成する工程と、

前記エピタキシャル成長層の表面から前記第1プラグ及び前記第1埋込領域と離間して前記第2導電型の勾配ベース領域を熱拡散により形成する工程と、

前記勾配ベース領域内に前記第1導電型の第1主電極領域を形成する工程と、

前記エピタキシャル成長層の表面に前記第1主電極領域から離間して前記第1導電型の第2主電極領域を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項4】前記エピタキシャル成長の前に、前記半導体基板上に前記第2導電型の第2拡散領域を更に形成する工程を更に具備し、

前記エピタキシャル成長により前記第2拡散領域を第3主電極領域となる第2埋込領域とすることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】前記エピタキシャル成長層内の前記第2埋込領域の上部に前記第1導電型の第2ベース領域を形成する工程と、

該第2ベース領域内に前記第2導電型の第4主電極領域を形成する工程とを更に具備することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】前記勾配ベース領域と前記第1主電極領域とを同一拡散窓を用いて形成することを特徴とする請求項3～5のいずれか1項記載の半導体装置の製造方法。

## 2. 公知刊行物に記載された発明

これに対して、本願の出願前に頒布された刊行物である特開昭55-22875号公報（以下、「引用文献1」という。）、特開昭56-60049号公報（以下、「引用文献2」という。）には、それぞれ次の発明が記載されている。

### <引用文献1>

引用文献1には、

（1）「ベース領域はコレクタ近傍のベース領域中の不純物濃度よりもエミッタ近傍のベース領域中の不純物濃度を高くするために、シリコン窒化膜で全面を覆い、このシリコン窒化膜の前記エミッタ電極となるところに窓をあけ、こゝから前記ベース領域中に拡散あるいはイオン注入法により前記コレクタ領域に接するように不純物濃度の高い高濃度ベース領域を形成し、その後、前記シリコン窒化膜を用いて前記高濃度ベース領域中に自己整合作用によりエミッタ領域を形成する工程を含むことを特徴とするラテラルトランジスタを備えた半導体集積回路の製造方法」（第1頁左下欄第7～18行）

（2）「このデバイスのベース領域4はパーティカルNPNトランジスタのコレクタとして働くN形エピタキシャル層5で構成される。パーティカルNPNトランジスタ（図示せず）のP形ベース拡散層と同時に形成される」（第2頁右上欄第5～9行）

（3）「パーティカルNPNトランジスタのN<sup>+</sup>形エミッタ拡散層と同時に形成されるN<sup>+</sup>形拡散層7がラテラルPNPトランジスタのベースのN<sup>+</sup>形接点領域を形成するために使われる。」（第2頁右上欄第11～15行）

（4）「ラテラルPNPトランジスタを製造する場合、N<sup>+</sup>形埋込層8がN形エピタキシャル層5—P形基板9界面に沿ってデバイスの下に設けられる。これはパーティカルNPNトランジスタの場合に用いられたN<sup>+</sup>形埋込層と同じである。」（第2頁左下欄第10～15行）

（5）「キャリアの拡散を容易にするため、ベース内部の不純物濃度を一様にしなくて、エミッタ近傍のみ勾配をつけて不純物濃度の濃い方（抵抗が低い方）をエミッタ、薄い方（抵抗が高い方）をコレクタとしたラテラルトランジスタを作ることにより、ベース内部に加速電界を作ってキャリアの走行時間を短くして、 $f_T$ を高くするとともに、ベースパンチスルーを起り難くして、 $BV_{CEO}$ を高くし、 $W_B$ を狭くしても $BV_{CEO}$ は下り難いので $h_{FE}$ を高くし、ベース抵抗 $r_{bb'}$ を下げて総合の高周波特性も著しく改善したラテラルトランジスタ

タを備えた半導体集積回路装置を提供することを目的としている」(第3頁左上欄第8～20行)

(6)「P形(111)基板11上に第4図に示すようにN<sup>+</sup>形埋込層12…を選択拡散した後、第5図のようにP形(111)基板11上にN形エピタキシャル層(以下ベース領域ともいう)14を成長させる。」(第3頁左下欄第18行～同頁右下欄第3行)

(7)「シリコン窒化膜17に第9図のように窓19、20をあけ、…ラテラルPNPトランジスタのエミッタを含むベース領域のシリコン酸化膜18に第11図のように窓21を窓20よりも5μ程度大き目にあけ、次に第12図のように燐等の高濃度不純物を750℃の拡散温度で拡散し、高濃度ベース領域22を形成する。」(第3頁右下欄第14行～第4頁左上欄第2行)

(8)「次にパーティカルPNPトランジスタのベース領域、エミッタ領域を通常の半導体集積回路の製法で形成する」(第4頁左上欄第11～13行)

(9)「ラテラルPNPトランジスタのエミッタ領域23とコレクタ領域24を第15図のようにしてパーティカルPNPトランジスタのベースと同時に形成する。シリコン窒化膜17を使うことによりラテラルPNPトランジスタのエミッタ領域23と高濃度ベース領域22のマスク合せズレが防止できる。」(第4頁左上欄第19行～同頁右上欄第6行)

が記載されている。

また、第2図(b)には、高濃度ベース領域の不純物濃度がエミッタ領域からコレクタ領域に向かって低下する分布が図示されており、第16図には、P形の基板上にN<sup>+</sup>形の埋込層、その上部にN形のエピタキシャル層を成長し、該エピタキシャル層内表面にN<sup>+</sup>形のP<sup>+</sup>形のコレクタ領域、P<sup>+</sup>形のエミッタ領域と該P<sup>+</sup>形のエミッタ領域の底部及び側面を包囲するように形成された高濃度ベース領域を有した半導体集積回路装置が図示されている。

そして、上記2.(7)の記載から、高濃度ベース領域はエピタキシャル層の表面から熱拡散により形成していること、上記2.(4)の記載と第16図からエピタキシャル層は基板上の埋込層の上部に成長させていること、第16図からラテラルPNPトランジスタのエミッタ領域とコレクタ領域が離間していることはあきらかであるので、引用文献1には、

P形の基板と、

前記基板上に形成された第1のN<sup>+</sup>形埋込層と、

該第1の埋込層の上部に形成されたN形の一様ベース領域と、

前記一様ベース領域内に形成されたP<sup>+</sup>形の第1のコレクタ領域及びN<sup>+</sup>形の高濃度ベース領域と、P<sup>+</sup>形の第1のエミッタ領域と、

前記一様ベース領域内にP<sup>+</sup>形の第1のエミッタ領域の底部及び側面を包囲する



ように形成され不純物濃度が前記第1のエミッタ領域から前記第1のコレクタ領域に向かって低下する分布を有するN<sup>+</sup>形の高濃度ベース領域を有する第1のトランジスタを具備し、前記一様ベース領域と前記高濃度ベース領域とで前記第1のトランジスタの第1ベース領域を構成する半導体集積回路装置

及び、

前記基板上に形成されたN<sup>+</sup>形の第2の埋込層と、第2のコレクタとして働くN形エピタキシャル層と、P形の第2ベース領域と、N形の第2のエミッタ領域とを有する第2のトランジスタとを更に具備する前記半導体集積回路装置

の発明が記載されていると認める。

また、

P形の基板上にN<sup>+</sup>形の第1の埋込層を形成する工程と、該第1の埋込層の上部にN形のエピタキシャル成長層を形成する工程と、前記エピタキシャル成長層の表面からN<sup>+</sup>形の高濃度ベース領域を熱拡散により形成する工程と、前記高濃度ベース領域内にP<sup>+</sup>形の第1のエミッタ領域を形成する工程と、前記エピタキシャル成長層の表面に前記第1のエミッタ領域から離間してP<sup>+</sup>形の第1のコレクタ領域を形成する工程とを具備する半導体集積回路装置の製造方法

及び、

前記基板上に、エピタキシャル成長によりN<sup>+</sup>形の第2の埋込層を更に形成する工程を更に具備した前記半導体集積回路装置の製造方法

及び、

P形の第2のベース領域を通常の半導体集積回路の製法で形成する工程と、N<sup>+</sup>形の第2のエミッタ領域を通常の半導体集積回路の製法で形成する工程とを更に具備する前記半導体集積回路装置の製造方法

及び

前記高濃度ベース領域と前記第1のエミッタ領域とを同一のシリコン窒化膜の窓を用いて形成する前記半導体装置の製造方法

の発明が記載されていると認める。

#### <引用文献2>

引用文献2には、

(10)「同一半導体基体内に高耐圧特性の要求される縦型トランジスタと高電流利得特性の要求される横型トランジスタを形成する場合の製造方法」(第1頁右下欄第7～10行)

(11)「(1)縦型トランジスタの耐圧を上げ、(2)横型トランジスタのベース広がり抵抗を小さくし、(3)上記(1)、(2)を同時に満足し、しかも製造工程数を増すことなく行う製造技術を提供する」(第2頁右上欄第11～1

4行)

(12) 「p型Si(シリコン)基板(ウエハ)を用意し、出力用の縦型トランジスタを形成すべき領域Ⅰおよび入力用横型トランジスタを形成すべき領域Ⅱに対応してn<sup>+</sup>型埋込層域2、3を…選択拡散により形成する。」(第2頁左下欄第2～7行)

(13) 「上記層が形成された基板上に低濃度のn型不純物を含むシリコンエピタキシャル成長層7を20～25μの厚さに形成する。」(第2頁右下欄第2～4行)

(14) 「領域Ⅰ及び領域Ⅱにそれぞれp<sup>+</sup>型拡散を行って、領域Ⅰには縦型トランジスタのベース11を、領域Ⅱには横型トランジスタのエミッタ12およびコレクタ13をそれぞれ形成する。」(第2頁右下欄第13～16行)

(15) 「領域Ⅰにおいてn<sup>+</sup>型拡散によるエミッタ14を形成」(第2頁左下欄第19～20行)

が記載されている。

また、第2図には、縦型トランジスタにおいて、n<sup>+</sup>型埋込層の上部にn型エピタキシャル層が形成され、該n型エピタキシャル層内に形成されたp型ベース領域と、前記ベース領域内に形成されたn<sup>+</sup>型エミッタとを有するトランジスタが図示されている。

### 3. 請求項1について

#### 3. 1 対比

本願の請求項1に係る発明と、引用文献1に記載された発明とを対比すると、引用文献1に記載された発明の「P形」及び「P<sup>+</sup>形」は、本願の請求項1に係る発明の「第1導電型」に相当し、引用文献1に記載された発明の「N形」及び「N<sup>+</sup>形」は、本願の請求項1に係る発明の「第2導電型」に相当する。

また、引用文献1に記載された発明の、「基板」、「第1の埋込層」、「第1のエミッタ領域」、「第1のコレクタ領域」、「不純物濃度」、「分布」、「半導体集積回路装置」は、それぞれ本願の請求項1に係る発明の「半導体基板」、「第1埋込領域」、「第1主電極領域」、「第2主電極領域」、「不純物密度」、「プロファイル」、「半導体装置」に相当する。

そして、引用文献1に記載された発明の「高濃度ベース領域」は、上記2.(1)、2.(5)の記載及び第2図(b)に徴すれば、本願の請求項1に係る発明の「勾配ベース領域」に相当する。

したがって、両者は、

「第1導電型の半導体基板と、  
前記半導体基板上に形成された第2導電型の第1埋込領域と、

該第1埋込領域の上部に形成された前記第2導電型の一様ベース領域と、  
前記一様ベース領域内に形成された前記第1導電型の第2主電極領域と、  
前記第1導電型の第1主電極領域と、  
前記一様ベース領域内に前記第1導電型の第1主電極領域の底部及び側面を包囲  
するように形成され不純物密度が前記第1主電極領域から前記第2主電極領域に  
向かって低下するプロファイルを有する前記第2導電型の勾配ベース領域とを有  
する第1のトランジスタを具備し、前記一様ベース領域と前記勾配ベース領域と  
で前記第1のトランジスタの第1ベース領域を構成する半導体装置」  
の点で一致し、

(1) 本願の請求項1に係る発明の「該一様ベース領域の表面から前記埋込領域  
に到達するように形成された第2導電型の第1プラグ」に相当する構成を引用文  
献1に記載された発明の第1のトランジスタは有していない点（以下「相違点1  
」という。）

で相違する。

### 3. 2 相違点に対する判断

上記相違点について検討する。

#### (1) 相違点1について

ラテラルトランジスタにおいて、一様ベース領域の表面から埋込領域に到達する  
ように形成された該一様ベースと同じ導電型のプラグを有することは本出願前周  
知であるから（例、特開2000-31160号公報、特開平9-275154  
号公報、特開平5-74790号公報）、引用文献1に記載された発明において  
、上記周知技術を適用し、一様ベース領域の表面から埋込領域に到達するように  
形成された第2導電型のプラグも有するトランジスタとすることは当業者が容易  
になし得ることである。

また、本願の請求項1に係る発明の効果は、引用文献1の記載と周知技術から  
当業者が予測し得る程度のものである。

### 3. 3 結論

したがって、本願の請求項1に係る発明は、引用文献1に記載された発明及び  
周知技術に基づいて、当業者が容易に発明することができたものであるから、特  
許法第29条第2項の規定により特許を受けることができない。

### 4. 請求項2について

#### 4. 1 対比

本願の請求項2に係る発明は、本願の請求項1に係る発明に、

「前記半導体基板上に形成された前記第2導電型の第2埋込領域からなる第3主電極領域と、前記第2埋込領域の上部に形成された前記第2導電型のドリフト領域と、該ドリフト領域内に形成された前記第1導電型の第2ベース領域と、前記第2ベース領域内に形成された前記第2導電型の第4主電極領域とを有する第2のトランジスタとを更に具備することを特徴とする請求項1記載の半導体装置。」

という発明特定事項を付加したものであるから、この付加した点についてのみ対比、判断を行う。

また、引用文献1に記載された発明の、「第2の埋込層」、「第2のエミッタ領域」は、それぞれ本願の請求項2に係る発明の「第2埋込領域からなる第3主電極領域」、「第4主電極領域」に相当する。

さらに、引用文献1に記載された発明の「第2コレクタとして働くN形エピタキシャル層」は、上記2. (4)の記載に徴すれば、本願の請求項2に係る発明の「前記第2埋込領域の上部に形成された前記第2導電型の領域」に相当する。

したがって、両者は、

「前記半導体基板上に形成された前記第2導電形の第2埋込領域からなる第3主電極領域と、前記第2埋込領域の上部に形成された前記第2導電型の領域と、前記第1導電型の第2ベース領域と、前記第2導電型の第4主電極領域とを有する第2のトランジスタとを更に具備する半導体装置」

の点で一致し、

(1) 本願の請求項2に係る発明の「ドリフト領域」に対して、引用文献1に記載された発明には相当する構成がない点（以下「相違点2」という。）、

(2) 本願の請求項2に係る発明の「第2ベース領域」は、埋込領域の上部に形成された第2導電型のドリフト領域内に形成されているのに対して、引用文献1に記載された発明の「第2ベース領域」は、形成される位置が特定されていない点（以下「相違点3」という。）、

(3) 本願の請求項2に係る発明の「第4主電極領域」は、第2ベース領域内に形成されているのに対して、引用文献1に記載された発明の「第2エミッタ領域」は、形成される位置が特定されていない点（以下「相違点4」という。）で相違する。

#### 4. 2 相違点に対する判断

上記相違点について検討する。

引用文献2に記載された発明の「p型」は、本願の請求項2に係る発明の「第1導電型」に相当し、引用文献2に記載された発明の「n型」及び「n<sup>+</sup>型」は、本願の請求項2に係る発明の「第2導電型」に相当する。

また、引用文献2に記載された発明の「埋込層」、「縦型トランジスタのベース」、「 $n^+$ 型拡散によるエミッタ」は、本願の請求項2に係る発明の「埋込領域」、「第2ベース領域」、「第2導電型の第4主電極領域」に相当する。

(1) 相違点2について

引用文献2に記載された発明の縦型トランジスタにおいて、上記2.(13)乃至2.(14)の記載及び第2図に徴すれば、 $n$ 型エピタキシャル層は $n^+$ 型埋込層の上部に形成され、該エピタキシャル層内に $p$ 型のベースが形成されているといえる。また、該エピタキシャル層は、上記2.(12)乃至2.(13)の記載に徴すれば、埋込層より濃度が低く形成されているため高抵抗のコレクタ領域となるといえる。よって、前記の構造及び濃度から、該エピタキシャル層はドリフト領域としての機能を果たすことは自明である。

そして、引用文献1に記載された発明と引用文献2に記載された発明は、いずれも同一基板上にラテラル $pnp$ トランジスタとパーティカル $npn$ トランジスタを備えた半導体集積回路装置の分野に属し、また、引用文献2に記載のパーティカル $npn$ トランジスタは通常の構造であるので、引用文献1に記載された発明の埋込領域の上部に形成された第2導電型の領域を、引用文献2に記載されたエピタキシャル領域におけるドリフト領域としての機能を持たせる構造及び濃度とすることは当業者ならば容易になし得ることである。

(2) 相違点3について

引用文献2に記載された発明において、縦型トランジスタのベースは上記4.2.(1)で示したようにドリフト領域内に形成されているといえる。

そして、引用文献1に記載された発明と引用文献2に記載された発明は、いずれも同一基板上にラテラル $pnp$ トランジスタとパーティカル $npn$ トランジスタを備えた半導体集積回路装置の分野に属し、また、引用文献2に記載のパーティカル $npn$ トランジスタは通常のパーティカル $npn$ トランジスタの構造であるので、引用文献1に記載された発明において、引用文献2に記載された第2ベース領域をドリフト領域内に形成する構造を採用することは当業者ならば容易になし得ることである。

(3) 相違点4について

引用文献2に記載された発明において、縦型トランジスタのエミッタは、第2図に徴すれば、縦型トランジスタのベース内に形成されているといえる。

そして、引用文献1に記載された発明と引用文献2に記載された発明は、いずれも同一基板上にラテラル $pnp$ トランジスタとパーティカル $npn$ トランジスタを備えた半導体集積回路装置の分野に属し、また、引用文献2に記載のパーティカル $npn$ トランジスタは通常の構造であるので、引用文献1に記載された発明において、引用文献2に記載された第4主電極領域であるエミッタを第2ベ-

ス領域内に形成する構造を採用することは当業者ならば容易になし得ることである。

また、本願の請求項 2 に係る発明の効果は、引用文献 1 乃至 2 の記載から当業者が予測し得る程度のものである。

#### 4. 3 結論

したがって、本願の請求項 2 に係る発明は、引用文献 1 及び 2 に記載された発明と周知技術に基づいて、当業者が容易に発明することができたものであるから、特許法第 29 条第 2 項の規定により特許を受けることができない。

#### 5. 請求項 3 について

##### 5. 1 対比

本願の請求項 3 に係る発明と、引用文献 1 に記載された発明とを対比すると、引用文献 1 に記載された発明の「P 形」及び「P<sup>+</sup>形」は、本願の請求項 1 に係る発明の「第 1 導電型」に相当し、引用文献 1 に記載された発明の「N 形」及び「N<sup>+</sup>形」は、本願の請求項 3 に係る発明の「第 2 導電型」に相当する。

また、引用文献 1 に記載された発明の、「基板」、「第 1 の拡散層」、「第 1 の埋込層」、「第 1 のエミッタ領域」、「第 1 のコレクタ領域」、「半導体集積回路装置」は、それぞれ本願の請求項 3 に係る発明の「半導体基板」、「第 1 拡散領域」、「第 1 埋込領域」、「第 1 主電極領域」、「第 2 主電極領域」、「半導体装置」に相当する。

但し、拡散により形成された「埋込層」は通常その上部に層を作るまでは「拡散層」であり、上部に層を作った後に「埋込層」となるので、エピタキシャル成長層形成前においては、引用文献 1 に記載された「埋込層」は、本願の請求項 3 に係る発明の「拡散領域」に相当する。

そして、引用文献 1 に記載された発明の「高濃度ベース領域」は、上記 2. (1)、2. (5) の記載及び第 2 図 (b) に徴すれば、本願の請求項 1 に係る発明の「勾配ベース領域」に相当する。

したがって、両者は、

「第 1 導電型の半導体基板上に第 2 導電型の第 1 拡散領域を形成する工程と、  
該第 1 拡散領域の上部に前記第 2 導電型のエピタキシャル成長層を形成し前記第 1 拡散領域を第 1 埋込領域とする工程と、  
前記エピタキシャル成長層の表面から前記第 2 導電型の勾配ベース領域を熱拡散により形成する工程と、  
前記勾配ベース領域内に前記第 1 導電型の第 1 主電極領域を形成する工程と、

前記エピタキシャル成長層の表面に前記第1主電極領域から離間して前記第1導電型の第2主電極領域を形成する工程とを具備する半導体装置の製造方法」の点で一致し、

(1) 本願の請求項3に係る発明は、エピタキシャル成長層を形成し、拡散領域を埋込領域とする工程の後に、「前記第1埋込領域に到達するように前記エピタキシャル成長層の表面から前記第2導電型の第1プラグを形成する工程」を具備しているのに対し、引用文献1に記載された発明はかかる工程を具備していない点（以下「相違点5」という。）

(2) 本願の請求項3に係る発明は、「前記第1プラグ及び前記第1埋込領域と離間して」勾配ベース領域を形成しているのに対して、引用文献1に記載された発明には勾配ベース領域の位置関係に関する記載がない点（以下「相違点6」という。）

で相違する。

## 5. 2 相違点に対する判断

上記相違点について検討する。

### (1) 相違点5について

ラテラルトランジスタにおいて、エピタキシャル成長層を形成し、拡散領域を埋込領域とする工程の後に、埋込領域に到達するようにエピタキシャル成長層の表面から埋込領域と導電型のプラグを形成することは本出願前周知であるから（例、特開2000-31160号公報、特開平9-275154号公報、特開平5-74790号公報）、引用文献1に記載された半導体集積回路装置の製造方法の発明において、エピタキシャル成長層を形成し、拡散領域を埋込領域とする工程の後に、埋込領域に到達するようにエピタキシャル成長層の表面から埋込領域と同じ導電型のプラグを形成する工程を具備することは当業者が容易になし得ることである。

また、上記工程を具備することによる効果は、引用文献1及び周知技術から当業者が予測し得る程度のものである。

### (2) 相違点6について

引用文献1に記載の発明において、勾配ベース領域の形成位置は、所望の動作特性に応じて決定されるべきことであり、勾配ベース領域を形成する工程において、製造される半導体装置をバイポーラトランジスタとして動作させるためにプラグ及び埋込領域と離間させることは、当業者が適宜設定する事項にすぎない。

また、勾配ベース領域とプラグ及び埋込領域とを離間することによる格別な効果も認められない。

### 5. 3 結論

したがって、本願の請求項3に係る発明は、引用文献1に記載された発明及び周知技術に基づいて、当業者が容易に発明することができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

### 6. 請求項4について

#### 6. 1 対比

本願の請求項4に係る発明は、本願の請求項3に係る発明に、

「前記エピタキシャル成長の前に、前記半導体基板上に前記第2導電型の第2拡散領域を更に形成する工程を更に具備し、前記エピタキシャル成長により前記第2拡散領域を第3主電極領域となる第2埋込領域とする」

という発明特定事項を付加したものであるから、この付加した点についてのみ対比、判断を行う。

本願の請求項4に係る発明と、引用文献1に記載された発明とを対比すると、引用文献1に記載された発明の「第2の埋込層」は、本願の請求項4に係る発明の「第3主電極領域となる第2埋込領域」に相当する。

したがって、両者は、

「前記半導体基板上に、エピタキシャル成長により第3主電極領域となる第2埋込領域を形成する半導体装置の製造方法」

の点で一致し、

(1) 本願の請求項4に係る発明では、「エピタキシャル成長の前に、前記半導体基板上に前記第2導電型の第2拡散領域を更に形成する工程を更に具備」しており、そのために「前記エピタキシャル成長により前記第2拡散領域を第3主電極領域となる第2埋込領域」としているのに対して、引用文献1に記載された発明には「第2拡散領域」に相当する記載がない点（以下「相違点7」という。）

、  
で相違する。

#### 6. 2 相違点に対する判断

上記相違点について検討する。

引用文献2に記載された発明の「n型」及び「n<sup>+</sup>型」は、本願の請求項2に係る発明の「第2導電型」に相当する。

また、引用文献2に記載された発明の「Si基板」、「埋込層」は、本願の請求項4に係る発明の「半導体基板」「第3主電極領域となる第2埋込領域」に相当する。

(1) 相違点7について



引用文献2に記載された発明の「埋込層」は、エピタキシャル成長の前に選択拡散により形成されているので、エピタキシャル成長前は、本願の請求項4に係る発明の「拡散領域」に相当する。

そして、引用文献1に記載された発明と引用文献2に記載された発明は、いずれも同一基板上にラテラルpnpトランジスタとパーティカルnpnトランジスタを備えた半導体集積回路装置の分野に属し、また、引用文献2に記載のパーティカルnpnトランジスタの製造方法は通常のパーティカルnpnトランジスタの製造方法であるので、引用文献1に記載された発明において、引用文献2に記載されたエピタキシャル成長の前に半導体基板上に第2導電型の第2拡散領域を形成する工程を採用し、前記エピタキシャル成長により第3主電極領域となる第2埋込領域とすることは当業者が容易になし得ることである。

また、本願の請求項4に係る発明の効果は、引用文献1乃至2の記載から当業者が予測し得る程度のものである。

### 6. 3 結論

したがって、本願の請求項4に係る発明は、引用文献1及び2に記載された発明と周知技術に基づいて、当業者が容易に発明することができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

### 7. 請求項5について

#### 7. 1 対比

本願の請求項5に係る発明は、本願の請求項4に係る発明に、

「前記エピタキシャル成長層内の前記第2埋込領域の上部に前記第1導電型の第2ベース領域を形成する工程と、該第2ベース領域内に前記第2導電型の第4主電極領域を形成する工程とを更に具備する」

という発明特定事項を付加したものであるから、この付加した点についてのみ対比、判断を行う。

本願の請求項5に係る発明と、引用文献1に記載された発明とを対比すると、引用文献1に記載された発明の「第2のエミッタ領域」は本願の請求項5に係る発明の「第4主電極領域」に相当する。

したがって、両者は、

「前記第1導電型の第2ベース領域を形成する工程と、前記第2導電型の第4主電極領域を形成する工程とを具備する」

点で一致し、

(1) 本願の請求項5に係る発明の「第2ベース領域」は、「前記エピタキシャル成長層内の前記第2埋込領域の上部」に形成されているのに対して、引用文献

1に記載された発明の「第2ベース領域」は形成位置の記載がない点（以下「相違点8」という。））、

（2）本願の請求項5に係る発明の「第4主電極領域」は、「該第2ベース領域内」に形成されているのに対して、引用文献1に記載された発明の「第2エミッタ領域」は形成位置の記載がない点（以下「相違点9」という。）で相違する。

## 7. 2 相違点に対する判断

上記相違点について検討する。

引用文献2に記載された発明の「p型」は、本願の請求項2に係る発明の「第1導電型」に相当する。

また、引用文献2に記載された発明の「縦型トランジスタのベース」、「n<sup>+</sup>型拡散によるエミッタ」は、本願の請求項2に係る発明の「第2ベース領域」、「第2導電型の第4主電極領域」に相当する。

### （1）相違点8について

引用文献2に記載された発明において、第2図に徴すれば、p型のベースはエピタキシャル成長層内の埋込層の上部に形成されていることは明らかである。

そして、引用文献1に記載された発明と引用文献2に記載された発明は、いずれも同一基板上にラテラルpnpトランジスタとパーティカルnpnトランジスタを備えた半導体集積回路装置の分野に属し、また、引用文献2に記載のパーティカルnpnトランジスタの製造方法は通常のパーティカルnpnトランジスタの製造方法であるので、引用文献1に記載された発明の第2ベースの形成する位置において、引用文献2に記載されたエピタキシャル成長層内の埋込領域の上部を採用することは当業者ならば容易になし得ることである。

### （2）相違点9について

引用文献2に記載された発明において、第2図に徴すれば、n<sup>+</sup>型拡散によるエミッタはベース内に形成されていることは明らかである。

そして、引用文献1に記載された発明と引用文献2に記載された発明は、いずれも同一基板上にラテラルpnpトランジスタとパーティカルnpnトランジスタを備えた半導体集積回路装置の分野に属し、また、引用文献2に記載のパーティカルnpnトランジスタの製造方法は通常のパーティカルnpnトランジスタの製造方法であるので、引用文献1に記載された発明の第2エミッタ領域を形成する工程において、形成する位置として引用文献2に記載された第2ベース領域内を採用することは当業者ならば容易になし得ることである。

また、本願の請求項5に係る発明の効果は、引用文献1乃至2の記載から当業



この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

特許審査第三部 半導体集積回路 棚田 一也 (増山 慎也)

TEL. 03 (3581) 1101 内線3496

FAX. 03 (3501) 0673